

Sistem za preizkušanje algoritmov vodenja navora motorja z visoko dinamiko

Robert Horvat, Milan Čurkovič, Karel Jezernik
Univerza v Mariboru, FERI
Smetanova ulica 17

robert.horvat@uni-mb.si, milan.curkovic@uni-mb.si, karel.jezernik@uni-mb.si

Torque control testing system for high dynamic motors

This paper presents torque control algorithm testing system. Torque control algorithm is suitable even for high dynamic motors (small electric time constant) because FPGA implementation. The implementation of control algorithm is based on discrete event method which consists basic logical operators, most appropriate for FPGA implementation. Mechanical load emulation allows testing algorithm under different conditions. Used motor controller allows sampling phase currents, leg currents and rail voltage with frequency up to 1 MHz.

Kratek pregled prispevka

Predstavljen bo sistem za preizkušanje algoritmov vodenja navora motorjev. FPGA izvedba omogoča tudi preizkušanje hitro odzivnih motorjev (z zelo majhno električno časovno konstanto). Dogodkovno vodenje, opisano z osnovnimi logičnimi operatorji, je zelo primerno za FPGA izvedbo. Algoritme lahko preizkušamo z uporabo emulatorja bremena. FPGA izvedba krmilnika merjenega motorja omogoča meritve faznih in vejnih tokov ter napetosti zbiralke s frekvenco osveževanja do 1MHz.

1 Uvod

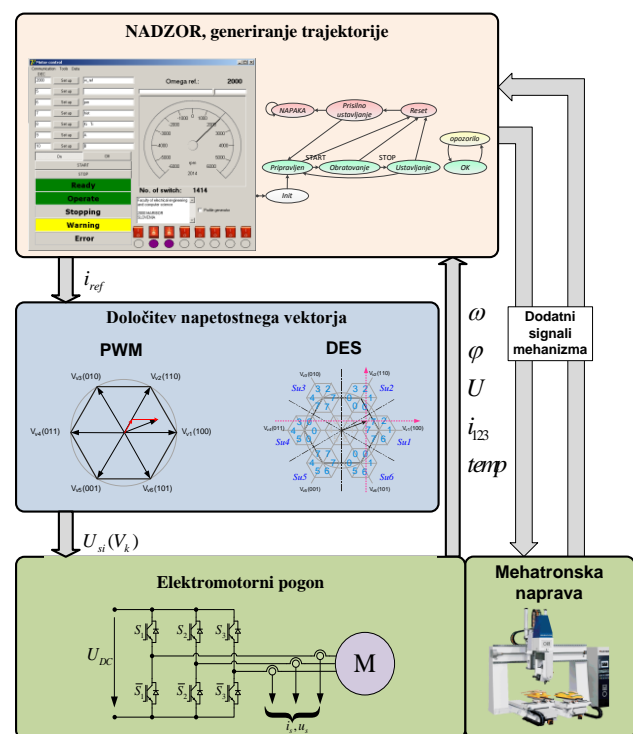
Za vodenje zelo hitrih procesov, kjer frekvenca izvajanja na digitalnem signalnem procesorju (DSP) ne zadostuje več, vedno pogosteje uporabljamo polja programabilnih logičnih vrat (Field-programmable gate array - FPGA). Prednost FPGA vezja glede na DSP sistem je v paralelnem načinu izvajanja, kjer se vsi procesi izvajajo sočasno, torej s številom procesov ne vplivamo na hitrost delovanja [1-5]. Pri DSP sistemih (zaporedni način izvajanja) se s kompleksnostjo programa (večje število vrstic) zmanjšuje frekvenca delovanja. Na ta način lahko z FPGA vezjem dosegamo 100 krat višje frekvence delovanja. FPGA vezje sestavljajo skupine logičnih vrat, kar je zelo primerno za izvedbo dogodkovnega vodenja. O dogodkovnem vodenju govorimo takrat, ko za spremembo izhodnega stanja ne potrebujemo čas urinega cikla, ampak se to zgodi takoj, ko imamo pogoj za drugo stanje.

V nadaljevanju bo predstavljen sistem za vodenje in testiranje različnih načinov vodenja trifaznega sinhronskega motorja, izveden z uporabo FPGA vezja. Podrobneje bo prikazana izvedba vmesniške kartice, za povezavo FPGA s trifaznim sinhronskim motorjem. Merilni sistem je nadgrajen z dodatnim motorjem in krmilnikom, ki omogočata emulacijo mehanskih bremen [6]. Za preglednejši nadzor nad delovanjem sistema pa je uporabljen grafični vmesnik na osebni računalniku.

2 Zgradba vodenja elektromotorne pogona

V sklop algoritma vodenja so vključene vse funkcije potrebne za vodenje elektromotorne pogona. To so: krmiljenje tranzistorskega pretvornika, merjenje položaja in hitrosti motorja, kot tudi višje nivojska opravila (regulacija toka, hitrosti in položaja) in nadzornik sistema. Slika 1 prikazuje tri-nivojsko zasnovo algoritma vodenja. Spodnji nivo je sestavljen iz sinhronskega motorja in tranzistorskega pretvornika. Ta del vključuje tudi senzorje za meritev mehanskih veličin: hitrost ω in položaj φ , ter električnih veličin

napetosti zbiralke U_{DC} in faznih tokov i_{s123} . Odvisno od aplikacije lahko imamo v nekaterih primerih še dodatne analogne kot tudi digitalne senzorje. Vodenje pretvornika, vključno s strategijo preklapljanja stikalnih elementov, se nahaja na srednjem nivoju (izbira napetostnega vektorja – kombinacije stikal mostiča). FPGA izvedba je namenjena predvsem dogodkovnemu vodenju, katere primer je histerezna regulacija. Zgornji nivo vsebuje nadzor, komunikacijo z uporabnikom, zagon, varna zaustavitev, kreiranje trajektorije in izračun referenčnih tokov pri hitrostni in položajni regulaciji.



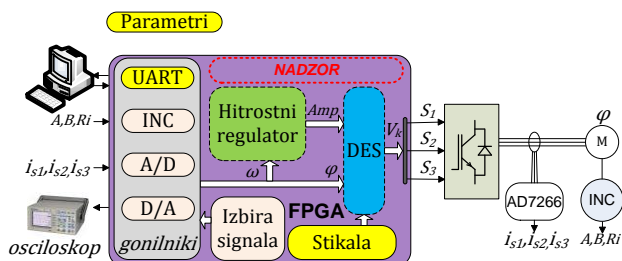
Slika 1: Trinivojska zasnova algoritma vodenja

3 Izvedba sistema za dogodkovno vodenje

Dogodkovno vodenje opisano z logičnimi operatorji je zelo primerno za izvedbo z FPGA vezjem. Taka izvedba ima zelo hitro odzivnost, čas izvajanja pa ni odvisen od kompleksnosti oziroma nadgradnje algoritma. Implementacija algoritma vodenja je izvedena z brezplačnim programskim orodjem Xilinx ISE WebPack. Uporabljen je VHDL (Very high speed integrated circuit Hardware Description Language) jezik za opis strojne opreme [7]. Ker gre za standarden opis je zagotovljena tudi

prenosljivost tudi med FPGA vezji različnih proizvajalcev.

Vodenje elektromotornega pogona na FPGA električnem vezju zahteva ob izvedbi algoritma vodenja in nadzora tudi izdelavo gonilnikov za vse vhodno-izhodne naprave. Izvedbo lahko razdelimo na štiri osnovne enote (Slika 2). Prva vsebuje gonilnike za vhodno-izhodne naprave. Tokovna regulacija, v drugi enoti je splošno uporabna za vse tipe BLAC motorjev. Regulator, v tretji enoti, je hitrostni ali položajni, V tej enoti so definirane tudi oblike tokov glede na način porazdelitve magnetnega polja motorja (sinusni, trapezni ...). Kontrola nad celotnim delovanjem je v četrtem delu, ki ga imenujemo nadzor.



Slika 2: Shema implementacije algoritma vodenja na FPGA

Ekperimentalni sistem omogoča realni preizkus algoritma vodenja. V tem primeru gre za vodenje sinhronskega motorja pri različnih obremenitvah, z različnimi regulacijskimi metodami in na različnih merjencih – motorjih. Takšen ekperimentalni model omogoča meritev realnih veličin, kot so fazni tokovi, baterijski tok, napajalne napetosti itd. Hkrati pa takšen sistem uporabljamo za potrditev (v nekaterih primerih lahko tudi nasprotno) simulacijskih rezultatov. Takšna potrditev je potrebna zaradi nekaterih pomanjkljivosti simulacijskih modelov, saj le-ti nikoli ne zajemo vseh veličin realnega sistema.

3.1 Nexys3

Pri izbiri FPGA kartice smo upoštevali razmerje zmogljivost – cena same kartice in prav tako tudi programske podpore za načrtovanje. Po obeh merilih je izstopala kartica Nexys3 podjetja Digilent, hkrati pa podjetje Xilinx ponuja tudi brezplačno programsko

okolje ISE WebPack. Kartica Nexys3 ponuja vrsto osnovnih vmesnikov (stikala, tipke, LED diode, sedem-segmentni LED prikazovalnik in veliko razširitvenih konektorjev (RS232, USB, VGA celo ethernet). Za povezavo kartice Nexys3 z razvojnim sistemom – osebni računalnik je uporabljen hiter vmesnik USB 2.0 (high speed). Glavne značilnosti uporabljenega vezja FPGA Spartan-6 XC6SLX16 so:

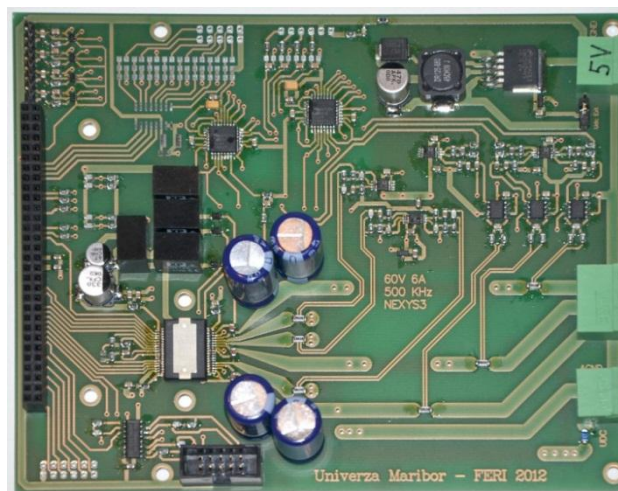
- 2278 rezin (slices), od katerih vsaka vsebuje LUTs (vpogledno tabelo) s šestimi vhodnimi stanji,
- 576 Kbit hitrega blok Rama (fast block RAM),
- 32 DSP rezin,
- 4 DCM digitalni upravljalnik takta (izbira periode clk signala).

3.2 Vmesniška plošča

Za povezavo FPGA vezja z merjencem in izvedbo vhodno-izhodnih vmesnikov za vodenje elektromotornega pogona skrbi vmesniška kartica (Slika 3).

Ta vsebuje naslednje osnovne enote:

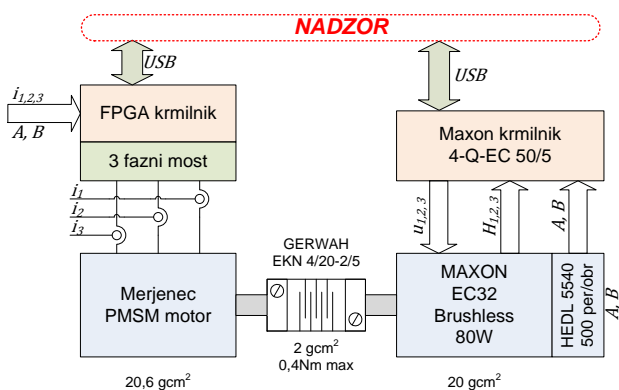
- tranzistorski mostič,
- merilnike faznih in vejnih tokov,
- merilnik napetosti zbiralke,
- meritev položaja z uporabo signalov inkrementalnega dajalnika,
- A/D in D/A pretvornike in
- napajalni del.



Slika 3: Vmesniška plošča – tiskanina

3.3 Emulacija mehanskega bremena

Na blokovni shemi (Slika 4) je prikazan sistem za emulacijo mehanskih bremen. Sestavljata ga dva pogona priklopljena na skupno zbiralko. Levi vsebuje merjeni motor in algoritem, ki ga želimo ovrednotiti, desni pa industrijski pogon proizvajalca Maxon z 80W BLDC motorjem EC32 in krmilnik DES 4QEC 50/5 istega proizvajalca s katerim obremenjujemo merjeni motor ali algoritem. Ker sta oba pogona priklopljena na skupno zbiralko se energija pretaka, iz napajalnika krijemo le izgube.

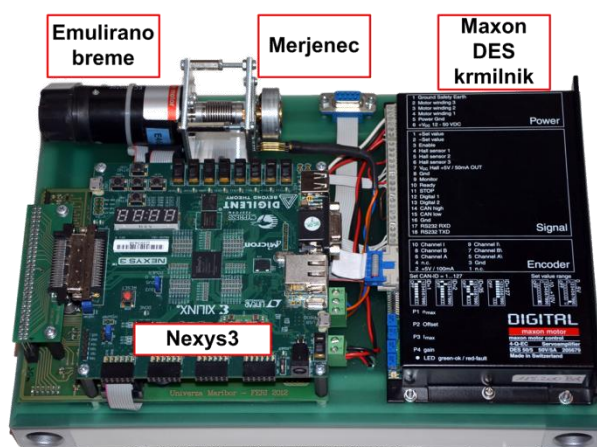


Slika 4: Blokovna shema eksperimentalnega sistema

Nastavitev parametrov sistema za obremenjevanje je izvedeno z uporabo grafičnega vmesnika na osebem računalniku (Slika 6) in z direktno povezavo med FPGA in DES 4QEC 50/5 krmilnikom.

Povezava obeh motorjev z uporabo toge sklopke omogoča uporabo le enega merilnika položaja in hitrosti za oba motorja. Uporabljen je inkrementalni dajalnik HEDL 5540 s 500 črticami/obrat-ločljivost 2000 pulzev na obrat. Tranzistorski mostič je primern za preizkušanje motorjev s tokovi do 6A, napetosti do 50V in za zelo velik razpon stikalnih frekvenc (od 0 do 500 kHz). Visoka stikalna frekvenca je pogoj za vodenje motorjev z majhno električno časovno konstanto.

Končni izdelek, 'eksperimentalni sistem', je izdelan zelo robustno in je zato lahko prenosljiv (Slika 5). Za delovanje potrebujemo le napajalno napetost 220 V in USB povezavo z računalnikom, preko katere sistem komunicira z operaterjem. Namenjen je preizkušanju različnih vodenj elektromotornih pogonov tako enofaznih, kot tudi trifaznih. Emulirano breme lahko doseže maksimalno obremenitev 63,7 mNm. Zaradi zelo visokih zmogljivosti obremenitvenega motorja, lahko vodimo motorje tudi do hitrosti 25000 obr/min.

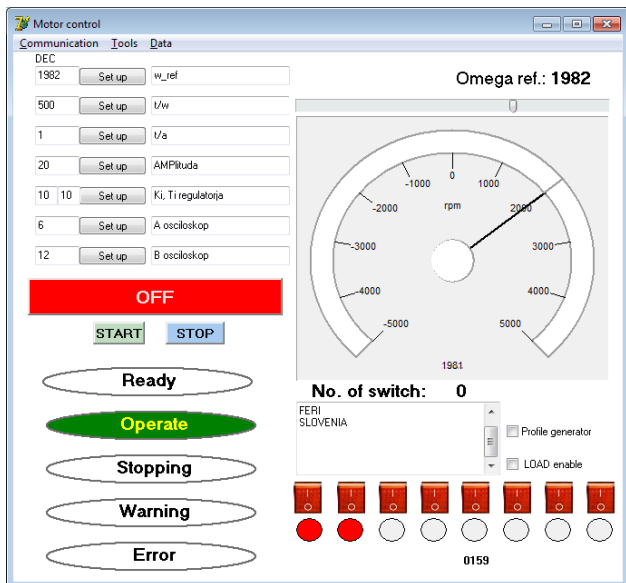


Slika 5: Eksperimentalni sistem

3.4 Grafični vmesnik

Uporabljen je programski jezik Pascal v programskem okolju Delphi. Prednost tega razvojnega okolja je podpora bazam, prijazen razvoj komponent, obsežna knjižnica komponent in podpora VCL/CLX (Visual Component Library). Grafični vmesnik se izvaja na osebem računalniku in je z RS232 vmesnikom povezan z FPGA kartico (Slika 6).

Namen komandnega panela je omogočiti uporabniku nazorno spremljanje delovanja in vplivanje na sistem. Za kar najlažjo predstavitev stanja sistema je uporabljenih pet indikatorjev stanja v treh različnih barvah.

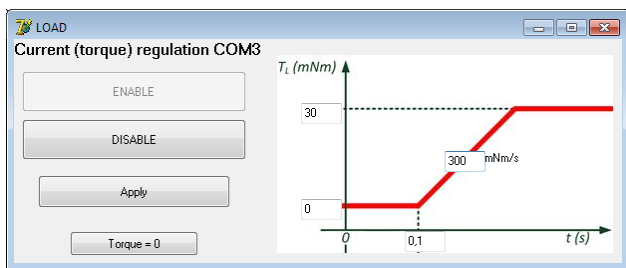


Slika 6: Grafični uporabniški vmesnik

Barve indikatorjev uporabniku kar najhitreje predstavijo stanje sistema. Vmesnik vsebuje tudi glavno stikalo (Vklon/Izklop) in tipki START, STOP.

Vmesnik omogoča nastavitve referenčne hitrosti ω_{ref} in parametrov FPGA krmilnika. Prikazana je izmerjena hitrost rotorja ω .

Kompleksnejše aplikacije so podprte s prostimi indikatorji (logičnimi vhodi) in stikali (logični izhodi).



Slika 7: Modul za nastavitve emuliranega bremena

Obremenjevanje dosežemo s tokovno vodenim merilnim motorjem, kar zagotavlja nadzorovano obremenitev.

Obremenitev je lahko časovno spremenljiva, po danem času se spremeni od začetne vrednosti z dano strmino do končne, kar nastavimo v dodatnem oknu (Slika 7).

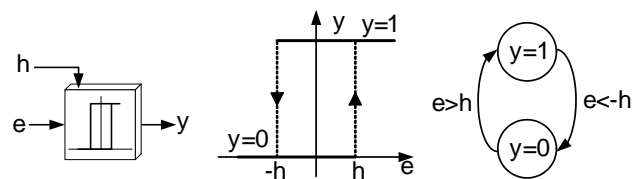
Čas merimo od trenutka vklopa regulacije merjenega motorja – tipka START.

Motor za obremenjevanje lahko deluje tudi v generatorskem režimu. Skupno napajanje obeh

pogonov omogoča pretakanje energije med njima, medtem ko napajalnik pokriva le izgube.

4 Rezultati

Histerezni tokovni regulator je zelo hiter, preprosto izvedljiv, računsko nezahteven, robusten in neodvisen od lastnosti motorja. Za načrtovanje takšnega tokovnega regulatorja ne potrebujemo veliko podatkov o pogonu, za razliko od klasičnih linearnih regulatorjev (P, PI, PID ...). Obnašanje dvonivojskega histereznega regulatorja je odvisno le od parametrov, ki se med delovanjem ne spreminjajo (velikost histereze in čas, ki ga potrebujemo za meritev toka). Spremenljiva statorska upornost pa vpliva le na frekvenco preklapljanja. Histerezna tokovna regulacija deluje na principu primerjave pogreška toka z velikostjo histereze.



Slika 8: Dvonivojski histerezni regulator

Histerezni regulator (Slika 8a) ima na izhodu vrednost '1' za vhod večji od $+h$, '0' za vhod manjši od $-h$ in staro vrednost za vhod med $-h$ in $+h$ (Slika 8b). Sprememba izhoda regulatorja označimo za dogodek (Slika 8c).

Izhode histereznih regulatorjev priključimo neposredno na posamezno napetostno vejo tranzistorskega pretvornika. Z uvedbo dogodkovnega vodenja skušamo omejiti nekontrolirano visoko stikalno frekvenco pretvornika z dodatno tabelo vektorjev napetosti in fazno zaklenjenim filtrom [8]. Z ustrezno izbiro napetostnih vektorjev, takšna tokovna regulacija za zagotovitev sledenju referenčnim tokovom, ves čas spreminja sočasno le eno napetostno vejo pretvornika [9-14].

Generiranje referenčnih vrednosti toka sinhronskega motorja se izvede s tabelo trifaznih sinusnih signalov in dodatnim množilnikom za določitev amplitude (Slika 9).

- Serbia, September 4-6, 2012. *EPE-PEMC 2012 ECCE Europe*. IEEE, 2012, str. 1-8
- [5] Berto S., Paccagnella A., Ceschia M., Bolognani S. in Zigliotto M., "Potential and pitfalls of FPGA application in inverter drives – a case study", IEEE, Int. Conf. on Industrial Technology, ICIT'03, Vol.1, pp. 500-505, Dec. 2003
- [6] Rodič M., Jezernik K. in Trlep M., "Dynamic emulation of mechanical loads: an advanced approach", IEEE, Electric Power Applications, IEE Proceedings, Vol. 153, pp. 159-166, Marec 2006
- [7] Pong P. C., FPGA prototyping by vhdl examples, Cleveland State University, 2008
- [8] Horvat R., in Jezernik K. "FPGA implementacija generatorja profila s pomočjo PLL = FPGA implementation of PLL - based profile generator", Elektrotehniški vestnik. [Slovenska tiskana izd.], 2009, vol. 76, no. 5, str. 305-310
- [9] M. Curkovic, K. Jezernik, and R. Horvat, "FPGA-based predictive sliding mode controller of a three-phase inverter," *IEEE Trans. Ind. Electron.*, vol.60, no.2, pp.637-644, Feb. 2013
- [10] Wainer G. A., Discrete-Event Modeling and Simulation: A Practitioner's Approach (CRC Press, Taylor and Francis Group, 2009, 1st edn.)
- [11] Horvat R., Jezernik K., in Čurkovič M., "Event-driven approach to control mechatronic system with FPGA" In Proc. 12th IEEE AMC Worksh. 2012, pp.1-6, 25-27 March 2012
- [12] Polič A. in Jezernik K., "Event-driven current control structure for a three phase inverter", Int. Rev. Electrical Eng., 2007, 2, (1), pp. 28-35
- [13] Horvat R. in Jezernik K., "Implementation of discrete event control for brushless AC motor". IET power electron. (Print). [Print ed.], 2011, vol. 4, iss. 7, str. 767-775
- [14] Ramadge P. J. G. in Wonham W. M., "The Control of Discrete Event Systems", Proceedings of the IEEE, Vol. 77, No. 1, pp. 81-99, 1989