
Développement d'un outil de test de circuit et amélioration de la testabilité des circuits

Rapport d'activité intermédiaire

Chefs de Projet :

C. Paoli, Mcf informatique, [cpaoli@univ-corse.fr, tél. : 04 95 45 02 09]

D. Federici, Mcf informatique, [federici@univ-corse.fr, tél. : 04 95 45 02 29]

SPE – UMR CNRS 6134

J.F. Santucci	Pr. informatique
P. Bisgambiglia	Pr. informatique
B. Costa	Mcf physique
M.L. Nivet	Mcf informatique
T. Campana	Ingénieur d'étude
F. Bernardi	ATER - Docteur informatique
L. Capocchi	Doctorant informatique

Date : 13/10/04

Ce rapport d'activité intermédiaire fait état de la situation scientifique à la fin de la première tranche du projet « Développement d'un outil de test de circuit et amélioration de la testabilité des circuits ». La suite de ce document est organisée en cinq parties.

Dans la première partie nous rappelons la problématique de notre étude ainsi que les objectifs du projet. Dans la seconde partie, le calendrier et l'organisation du projet sont présentés. La troisième partie dresse le bilan de notre étude. Dans la quatrième partie, une liste exhaustive de nos publications et rapports scientifiques est donnée. La cinquième partie propose un compte rendu de notre participation à la conférence internationale SCSC. Enfin dans la dernière partie, les suites à donner au projet sont exposées.

1 Présentation de la problématique et objectifs du projet

Un circuit électronique peut être décrit comme une boîte avec des entrées et des sorties. Les valeurs électriques sur les sorties sont fonction des valeurs sur les entrées. La Figure 1 montre un exemple de cette vue d'un circuit possédant 2 entrées A et B, et une sortie Y.

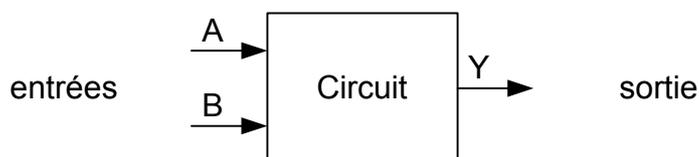


Figure 1. Vue d'un circuit électronique.

A l'intérieur de la boîte sont définies les relations entre les entrées et les sorties. Cette description entre entrées et sorties peut se retrouver sous la forme d'un comportement (i.e. un petit programme informatique) ou bien sous la forme d'une interconnexion d'autres circuits électroniques (i.e. interconnexion de boîtes).

Aujourd'hui, vu la taille des circuits : plusieurs millions de portes logiques (i.e. de boîtes), les concepteurs de circuits électroniques sont obligés de d'abord définir un circuit électronique sous la forme d'un comportement.

Une fois ce comportement réalisé, les concepteurs doivent simuler leur description du circuit. En effet ils ne peuvent prendre le risque financier d'envoyer à la fabrication leur circuit sans s'assurer qu'il fonctionne correctement. On peut voir sur la Figure 2 un résumé du processus de conception d'un circuit électronique complexe.

Les concepteurs de circuits électroniques ont donc principalement besoin de deux outils :

- **un générateur de stimuli** : outil générant des entrées valides pour le circuit et permettant de mettre en valeur d'éventuelles erreurs
- **un simulateur** : outil permettant de simuler le fonctionnement d'un circuit sans le fabriquer

Actuellement il n'existe pas dans l'industrie d'outils performants agissant au plus tôt de la phase de conception des circuits. L'objectif de ce projet est d'apporter notre contribution dans ce domaine en développant un outil de test de circuit et en

proposant le développement de méthodologies permettant d'améliorer la testabilité de tels systèmes.

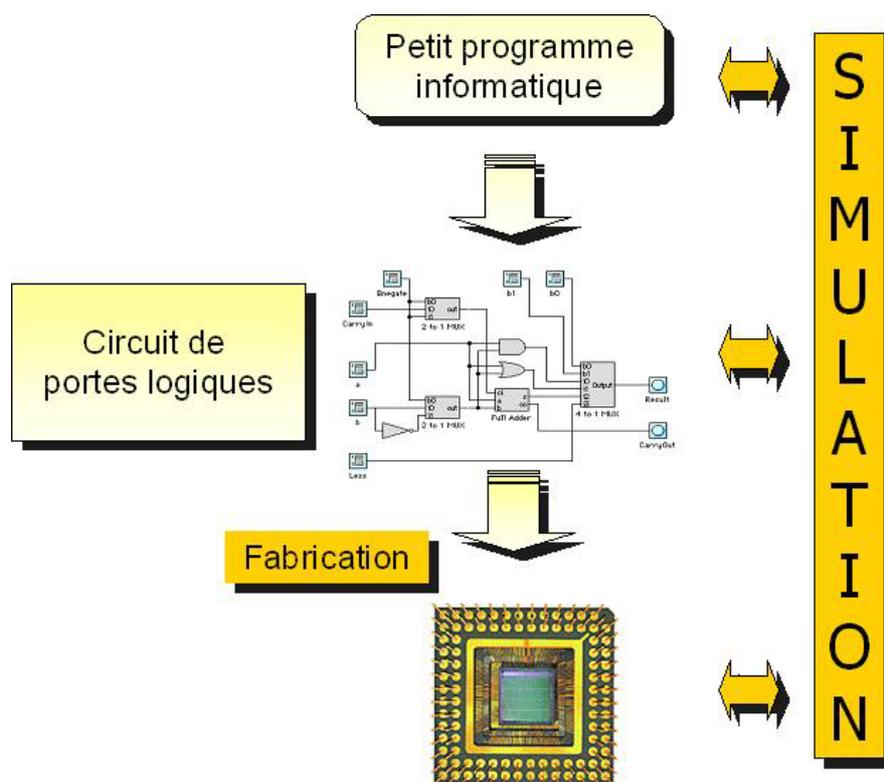


Figure 2. Processus de conception simplifié d'un circuit électronique complexe

2 Calendrier et organisation du projet

Nous avons estimé la durée de ce projet à 18 mois (cf. Appel régional à propositions), découpé en 3 principales étapes :

- **Etape 1 :** Elaboration d'un outil complet permettant de tester des circuits au plus tôt de la phase de conception. Un simulateur de fautes, nommé **BFS** pour « Behavioral Simulator Fault » et un générateur de stimuli, nommé **GENESI** pour « GENERator of Stimull »
- **Etape 2 :** Validation de cet outil : i.e. essai des prototypes logiciels sur des cas concrets.
- **Etape 3 :** Mise au point d'une méthodologie inspirée du « *Boundary Scan* »¹ pour permettre d'améliorer la testabilité des descriptions de circuit au niveau algorithmique

Nous avons mis en place des réunions de coordination de phase (conception, développement...) bimensuelles réunissant l'ensemble des membres du projet afin de :

- Présenter le fruit de nos travaux
- Echanger sur nos activités
- Harmoniser nos travaux si nécessaire

¹ L'approche « Boundary Scan » est une norme IEEE qui permet un test aisé des interconnexions à l'intérieur des circuits et permet l'isolation logique des différents boîtiers en vue du test.

Afin de partager au mieux nos informations nous avons mis en place une liste de diffusion et un espace collaboratif sur le site internet de notre laboratoire :

[\[http://spe.univ-corse.fr/paoliweb/french/Recherche.htm\]](http://spe.univ-corse.fr/paoliweb/french/Recherche.htm)

On y trouve les comptes rendus de réunion, les rapports de recherche ainsi que les différents séminaires présentés durant ces douze premiers mois.

3 Bilan

Au bout de ces 12 premiers mois, le bilan suivant peut être proposé :

- Le simulateur de fautes **BFS** et le générateur de test **GENESI** sont dans leur dernière phase de conception. Malgré qu'ils soient à l'état de prototype, ces logiciels sont largement utilisables pour commencer la phase de validation et leur couplage
- Le couplage de ces deux outils a permis le constat suivant : **GENESI** tel qu'il a été conçu et d'après des résultats empiriques n'est pas suffisant pour détecter les fautes comportementales. C'est à dire que son couplage avec **BFS** n'est pas pertinent. Nous nous attendions à ce résultat car **GENESI** n'est pas basé sur le critère de modèle de fautes de **BFS**.

Afin de continuer l'élaboration d'un outil de test complet, nous avons décidé de porter des modifications à **GENESI** pour qu'il prenne en compte les critères nécessaires au de modèle de faute.

4 Publications et rapports scientifiques

Les différents rapports et publications scientifiques sont listés ci après :

- Concernant l'amélioration de la testabilité, B. Costa a réalisé et présenté un premier état de l'art sur ce domaine
- Un rapport de recherche interne intitulé « Le test de circuits électroniques complexes : Migration vers le niveau algorithmique » a été rédigé par C. Paoli.
- Un état de l'art sur la problématique de la simulation a été réalisé et présenté par L. Capocchi.
- Nos travaux sur le simulateur de fautes **BFS** ont fait l'objet d'une communication (voir compte rendu ci-après) dans la conférence « SCS Simmer Computer Simulation Conference (SCSC 2004) », San Jose, CA, USA » et ont été publiés dans les « Proceedings » sous le titre : « **A DEVS-based Modeling and Behavioral Fault Simulator for RT-Level Digital Circuits** ». Les auteurs sont : L.Capocchi, F. Bernardi, D.Federici et P. Bisgambiglia.
- Nos travaux sur le générateur de stimuli **GENESI** feront l'objet d'une communication dans le « 5th IEEE Workshop on RTL and High Level Testing (WRTL04) », Osaka, Japon » et seront publiés dans les « Proceedings » [\[http://wrtl04.su.cit.nihon-u.ac.jp/~wrtl04/\]](http://wrtl04.su.cit.nihon-u.ac.jp/~wrtl04/) sous le titre : « **Simulation-based validation of VHDL descriptions using constraints logic programming** ». Les auteurs sont : Christophe Paoli, Marie-Laure Nivet, Fabrice Bernardi et Laurent Capocchi.

5 Compte rendu de la conférence « SCS Summer Computer Simulation Conference (SCSC) 2004 »

Cette conférence s'est déroulée du 24 au 29 juillet 2004 à San José, Californie, USA. Les participants pour l'université de Corse étaient Bernardi Fabrice (ATER Informatique) et Capocchi Laurent (Doctorant Informatique).

Les publications présentées étaient :

- **L. Capocchi**, F. Bernardi, D. Federici, P. Bisgambiglia, *A DEVS-based Modeling Behavioral Fault Simulator for RT-Level Digital Circuits*, Proceedings of the SCS Summer Computer Simulation Conference (SCSC 2004), p. 481-186, San José, CA, USA.
- **F. Bernardi**, J.F. Santucci, *Reuse Design and Test using Object-Oriented Hierarchical Models Libraries*, Proceedings of the SCS Summer Computer Simulation Conference (SCSC 2004), p. 475-480, San José, CA, USA.

La participation à la conférence a permis :

- La présentation des deux articles par les auteurs principaux;
- La participation à la réunion du DEVS Standardization Group (Présidé par le professeur Gabriel Wainer de l'université d'Ottawa) dont fait partie Fabrice Bernardi en tant que membre du comité directeur. Le sujet essentiel de la réunion fut la standardisation du formalisme DEVS en se basant sur des standards logiciels existants dans l'industrie;
- La participation au Tutorial DEVS destiné à montrer l'utilisation du formalisme DEVS sur des exemples d'applications utilisant la bibliothèque CD++.
- La finalisation d'un partenariat Université de Corse/Université d'Ottawa sous la forme d'un stage post-doctoral;
- La mise en place d'un partenariat Université de Corse/Université de Rostock (Pr. Adelinde Uhrmacher) sous la forme d'une éventuelle co-tutelle de thèse.

6 Conclusion

Les suites à donner au projet par ordre d'importance sont les suivantes :

1. Envoi à nos des partenaires - UNH et de ST Microelectronic- de nos premiers résultats : publications et rapports de recherche internes
2. Couplage effectif et modifications (choix de la méthode concernant le générateur de stimuli) à apporter pour que l'outils soit efficace
3. Amélioration de la testabilité : Poursuite de l'étude bibliographique
4. Publication de nos résultats : Soumissions de deux articles à « Latin American Test Workshop 2005 » et à « Design Automation Conference 2005 »